

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-190969

(43)Date of publication of application : 25.08.1986

(51)Int.Cl.

H01L 27/04

(21)Application number : 60-030370

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.02.1985

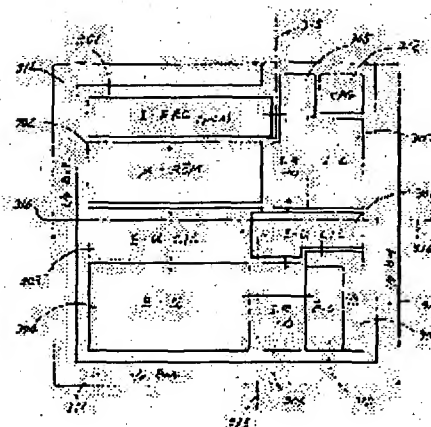
(72)Inventor : KAMESHIMA SHIGEHIRO  
HAGIWARA YOSHIMUNE  
NOGUCHI YOSHIKI  
ISHII MINORU  
NISHIMUKAI TADAHIKO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT MICROPROCESSOR

## (57)Abstract:

**PURPOSE:** To vary and add the functions of circuits easily by executing a layout in which a comparatively fixed circuit, which is hardly changed functionally, and a circuit easy to be functionally altered additionally are separated in the longitudinal or lateral direction in a chip.

**CONSTITUTION:** A layout method in which the whole layout of a chip is divided into two to the left side and the right side as represented by a chain line 315 and the whole is divided into two to upper and lower sections by control circuits 303 and 308 as represented by a chain line 316 is adopted. The left side of the chain line 315 is laid out by circuits, functions thereof are hardly changed, [a command decoder circuit 301, a micro-program ROM 302, an arithmetic operation (command) execution control circuit 303 and an arithmetic operation (command) execution circuit 304], and the right side of the chain line 315 is laid out by circuits, additional functions thereof are easy to be altered, (command control systems 305 ~ 308 and input/output control systems 309 and 310). Since layouts on the left and right sides of the chain line 315 mutually have no effect, layouts can be executed completely independently, and the method is extremely advantageous.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭61-190969

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)8月25日

H 01 L 27/04

A-7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体集積回路マイクロプロセッサ

⑮ 特 願 昭60-30370

⑯ 出 願 昭60(1985)2月20日

⑰ 発 明 者 亀 島 成 弘 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 萩 原 吉 宗 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 野 口 孝 樹 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 石 井 実 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

発明の名称 半導体集積回路マイクロプロセッサ  
特許請求の範囲

1. 主たる回路がデータ記憶回路と数値演算回路群よりなる命令実行回路と、この命令実行回路を制御する実行制御回路と、実行制御回路の入力信号を発生する命令デコーダ回路と、命令デコーダ回路を補助するように働くマイクロ命令信号を発生するROM (Read Only Memory) 回路のうちの少なくとも1つがチップの縦または横方向に並べて配列され、上記の命令実行回路、実行制御回路、命令デコーダ回路、ROMのうちの少なくとも1つを含む第1の回路群が、命令データ記憶回路、クロック発生回路、入出力信号制御回路等を有する第2の回路群とチップの縦または横方向で2分できるようなレイアウト方法を行なったことを特徴とした半導体集積回路マイクロプロセッサ。

2. チップの全体レイアウトにおいて不規則論理回路を主体とした制御回路を用いて他のメモリ

や演算回路等の規則回路類をチップの縦または横方向でちょうど2分するようなレイアウト方法を行なったことを特徴とした特許請求の範囲第1項記載の半導体集積回路マイクロプロセッサ。

発明の詳細な説明

(発明の利用分野)

本発明はマイクロプロセッサ等のLSIにおけるチップ内の最適レイアウト方法に関連するものである。

(発明の背景)

一般に半導体LSIの製作に関しては、微細加工技術の進歩とともに高密度実装が計られ、また高速化のため信号線路(ポリシリコンまたはAl等の金属配線)が極力短配線となるようにチップ内レイアウトが工夫される。このような考えに基づき従来技術に、例えば第1図に示すようなMOS-LSIのマイクロプロセッサのレイアウト方法が米国特許第3987418号(1976年9月モトローラ社)より提出されている。第1図で四角枠の一つ一つ(112から152)が単位機

能を持った回路ブロックであり、各ブロック間は矢印に見るように信号の流れに沿った形で高密度にレイアウトされている。しかし、第1図の従来方法は、マイクロプロセッサ性能がより上位の新しい機能回路を追加する場合、レイアウト面に割込余裕が全くないため、全面的にレイアウト変更をしなければならない欠点を有する。例えば第2図は後述の本発明のレイアウトに関係したマイクロプロセッサの回路で第1図の従来マイクロプロセッサ機能を包含するものであるが、第2図は第1図にない追加回路206のO-C(Operand-  
Cache-  
On-chip; 連想メモリ)、207のI-C(Instruction-  
Cache)、211のμ-ROM(Micro-Program ROM)の3回路を有するものである。これら追加回路はマイクロプロセッサの高速性能を上げる手段として用いる方法である。

このように第1図のレイアウト方法は、第2図で206、207、211の追加回路がある場合はレイアウト面で全く割込余地がなく通常は全面

ウット図である。第2図は第3図の回路構成図であるが、先ず第2図より第3図(および第1図)を説明する。第2図で各ブロック回路の殆んどはチップ内の共通バス線路201(アドレスバス)と202(データバス)に縦ながる。入出力バッファ回路203と204は第3図の311(第1図では124と120と130)に相当する。第2図で割込信号および入出力信号制御回路205は第3図の309(第1図の138と142と152)に、第2図でキャッシュメモリ206と207は第3図の310と307(第1図ではない。)に、第2図で命令レジスタ208とその制御回路209は第3図で305および306と、308(第1図の146と148と150と142)に、第2図で命令デコーダ回路210は第3図の301(第1図の144)に、第2図マイクロプログラムROM211は第3図の302(第1図にはない。)に、第2図で演算実行回路213とその制御回路212は第3図の304と303(第1図の122、128、134と136)に相当し、

的にレイアウト変更しなければならないことになる。

#### 〔発明の目的〕

本発明の目的は、上記のような従来のマイクロプロセッサのレイアウト方法における問題を解決するために、回路機能の変更追加が容易に行なえるような一般的なマイクロプロセッサにも共通した基本的レイアウト方法を提供しようとするものである。

#### 〔発明の概要〕

本発明の基本的特徴は、機能的に変更されることの少ない比較的固定した回路と、機能的に追加変更され易い回路と、チップ内で縦または横方向に分離したレイアウトを行なうことにより、極めて柔軟性のある上記目的に合致した基本的レイアウトを行なうものである。

#### 〔発明の実施例〕

以下本発明の実施例を第3図に示し、第2図および第1図を用い比較説明する。

第3図は本発明のマイクロプロセッサ・レイア

第2図クロックパルス発生回路214は第3図の312(第1図の140)に相当する。

さて、第1図の従来レイアウトに比べ、第3図の本発明のレイアウトの特徴は大きくは2つある。1番目は、チップの全体レイアウトを縦線315で代表するように左右に2分するレイアウト方法で、2番目は縦線316で代表するように制御回路303および308で全体レイアウトを上下に2分するようなレイアウト方法である。特徴の1番目は縦線315の左側を機能変更の少ない回路(命令デコーダ回路301、マイクロ・プログラムROM302、演算(命令)実行制御回路303と演算(命令)実行回路304)でレイアウトし、縦線315の右側を追加機能変更の起りやすい回路(命令制御系の305~308と入出力制御系の309と310)でレイアウトしてある。このようなレイアウト方法による利点は縦線315の左右の側のレイアウト相互に影響がないためレイアウトが全く独立にでき非常に有利であり、また大旨は左側回路のレイアウトが先行し、右側の回

路レイアウトは回路機能の大きさに応じて鎖線315の右手方向にレイアウトを拡張して行けばよいことになる。従ってレイアウト方法が非常にはっきりしており設計も容易であり、且つ開発時間も短くなる(ちなみに第1図の従来レイアウト方法では回路の全体が決まらなると全体レイアウトも決めかねるもので、設計開発時間も長くなることが予想される。)。次に前記の特徴の2番目は制御回路303と308(または309を含めてもよい。)はランダム・ロジック(不規則論理)回路が主な回路構成でレイアウト形状はさほど気にしなくてよいのに対し、それ以外の回路(301~312)即ちレジスタや演算回路、ROM、PLA(Programmable Logic Array)等の規則回路はやはり規則的な形状でレイアウトした方がレイアウト面積も小さくなる。しかし、この場合にこれら各規則回路のレイアウトサイズはまちまちとなるため全体レイアウトで調整する必要がある。本発明の第3図では、先述したように不規則回路である制御回路303および308をチップ

全体レイアウトの中央部鎖線316に沿ってレイアウトの形状が纏まるよう調整している。このレイアウト方法によれば、上記各規則回路のレイアウトは夫々が比較的自由に、図の鎖線316で上下に2分する方向で比較的自由にレイアウトができるため、レイアウト設計が容易になりました、開発期間も短縮できる効果がある。

#### 〔発明の効果〕

本発明のレイアウト方法によれば、回路機能の追加変更が容易であり、また規則論理回路のレイアウト形状が比較的自由に利点と、またチップ全体レイアウトが短時間で容易に開発できる利点がある。

#### 図面の簡単な説明

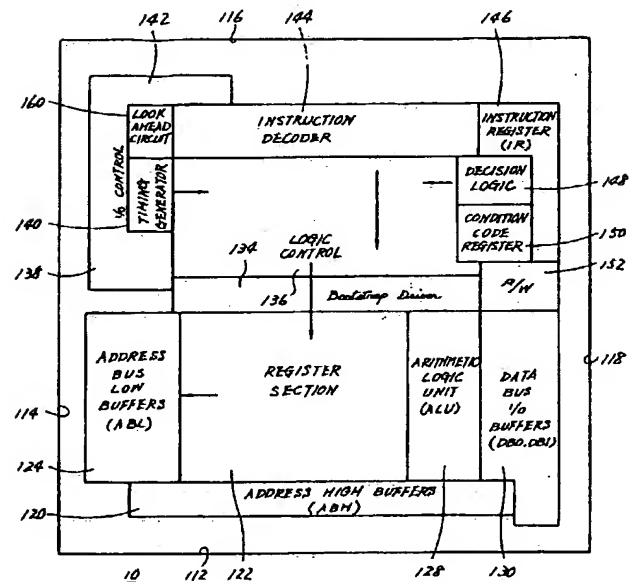
第1図は従来のマイクロ・プロセッサのチップ全体レイアウト図、第2図は本発明に関連したマイクロ・プロセッサの回路図、第3図は本発明のマイクロ・プロセッサのチップ全体レイアウト図である。

301…命令デコーダ回路、302…マイクロ

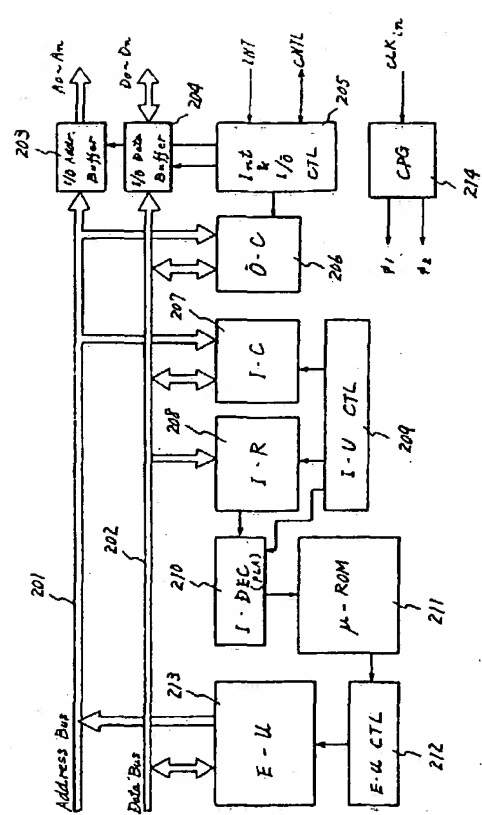
プログラムROM、303…演算実行回路304の制御回路、304…演算実行回路、305、306…命令レジスタ回路、307…命令cache(連想メモリ)、308…305、306の制御回路、309…入出力信号制御回路、310…オペランドcache(連想メモリ)、311…入出力信号バッファ回路、312…クロック・パルス発生回路。

代理人弁理士 小川 勝 男

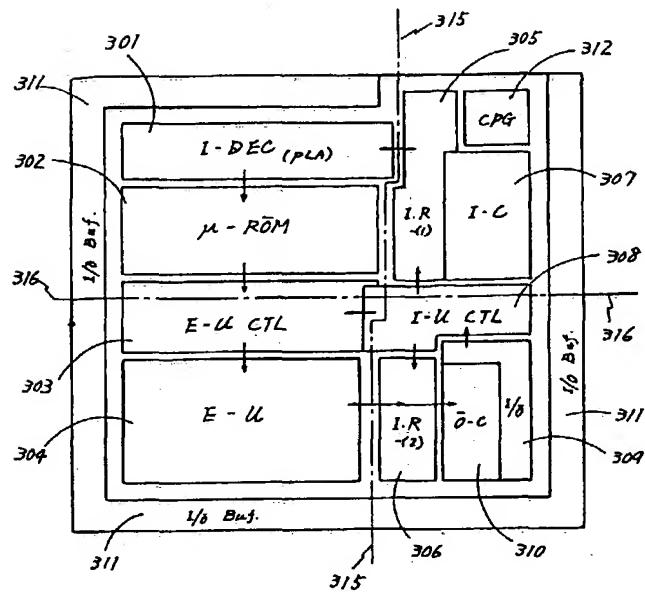
第1図



第2図



第3図



第1頁の続き

②発明者 西向井 忠彦 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内